

40

Студент

Группа

ТЕХНИЧЕСКОЕ ЗАДАНИЕ №40 на проектирование процессора с заданной системой команд

1. Система памяти

- а) Оперативная память (ОП) имеет емкость 16 четырехразрядных слов (ячейка РУ2).
- б) Регистровая память (РП) имеет емкость 4 четырехразрядных слов (ячейка РП1).

2. Формат и представление чисел

Дробные числа с фиксированной запятой представлены в обратном коде. Под запись числа отводится четыре разряда. Самый левый разряд используется для представления знака.

3. Формат команд

Команды двухадресные. Первый операнд хранится в РП и указывается в команде с помощью прямого адреса. Второй операнд хранится в ОП и указывается в команде с помощью косвенного регистрового адреса.

Результат длинной операции записывается по адресу 2-го операнда, короткой - по адресу 1-го операнда.

Каждая команда располагается в 2-х последовательных ячейках ОП.

Размещение командной информации в форматах выполнить самостоятельно.

4. Операции

а) УМНОЖЕНИЕ. Операция выполняется по алгоритму умножения чисел в обратном коде с младших разрядов множителя и сдвигом множимого влево (школьный метод) с коррекцией результата [6, с.96-97; 10, с.131-132]. При нулевом значении текущего разряда множителя такт суммирования не пропускается. Первый операнд - множимое, второй - множитель. Результат формируется в 4-х разрядной сетке.

б) ПОЛОЖИТЕЛЬНОЕ ПРИРАЩЕНИЕ КОДА. К первому операнду (четырёхразрядному двоичному коду) прибавляется приращение, которое записано в поле второго адреса команды. Устанавливается признак результата: 0-сумма равна нулю, перенос отсутствует; 1-сумма не равна нулю, перенос отсутствует; 2-сумма не равна нулю, есть перенос; 3-сумма не равна нулю, есть перенос. Имеется в виду перенос из старшего (левого) разряда.

в) УСЛОВНЫЙ ПЕРЕХОД. Команда содержит двухразрядный код маски (КМ) и адрес перехода. Каждый разряд КМ соответствует одному из двух значений признака результата (ПР): левый - признаку результата 1, правый - 2. Если значение ПР соответствует КМ (пример: ПР=1 и КМ=10), то адрес в счетчике команд (СК) замещается адресом перехода. В противном случае (СК)=(СК)+2. В качестве адреса перехода используется исполнительный адрес второго операнда. Команда перехода занимает 2 ячейки ОП.

Содержание.
Вариант 40

1. Проектирование функциональной схемы блока операций
 - 1.1. Примеры
 - 1.1.1. Умножение
 - 1.1.2. Положительно приращение
 - 1.2. Схемы алгоритмов операций
 - 1.3. Функциональная схема БО
 - 1.4. Описание блоков функциональной схемы
 - 1.5. Синтез отдельных узлов БО (нету)
 - 1.6. Принципиальная схема БО
 - 1.7. Таблица управляющих сигналов
2. Разработка АЛУ
 - 2.1. Схема эксперимента для АЛУ
 - 2.2. Алгоритмы микропрограмм для МКПУУ
 - 2.3. Временные диаграммы управляющих сигналов
 - 2.4. Таблица загрузки ПЗУ
 - 2.5. Таблица тестирования АЛУ

1. Проектирование функциональной схемы блока операций

1.1. Примеры

1.1.1. Умножение

			x	0	0	1	0		OK	A
				0	1	0	0		OK	B
$B_3 = 0$	+	0	0	0	0	0	0	0		PP
		0	0	0	0	0	0	0		PA · $2^{+0} B_3$
$B_2 = 0$	+	0	0	0	0	0	0	0		PP
		0	0	0	0	0	0	0		PA · $2^{+1} B_2$
$B_1 = 1$	+	0	0	0	0	0	0	0		PP
		0	0	0	1	0	0	0		PA · $2^{+2} B_1$
		0	0	0	1	0	0	0	OK	PP

		0	0	1	0	OK	A
	\times	1	1	1	0	OK	B
	+	0	0	0	0	0	PP
	+	0	0	0	0	1	PA $\cdot 2^{+3}$
	+	0	0	0	0	0	PP
$B_3 = 0$	+	0	0	0	0	0	PA $\cdot 2^{+0}$ B_3
	+	0	0	0	0	1	PP
$B_2 = 1$	+	0	0	0	0	1	PA $\cdot 2^{+1}$ B_2
	+	0	0	0	0	1	PP
$B_1 = 1$	+	0	0	0	1	0	PA $\cdot 2^{+3}$ B_1
	+	0	0	0	1	1	PP
	-	1	1	0	1	1	(-A)
		1	1	1	1	1	PP
		0	0	0	0	1	OK
		0	0	0	0	1	OK

1.1.2. Положительное приращение кода

1) Признак 0

$$\begin{array}{r} \text{а)} \quad + 0011 \\ + 1100 \\ \hline 1111 \\ \downarrow \\ 0000 \end{array}$$

$$\begin{array}{r} \text{б)} \quad + 0000 \\ + 0000 \\ \hline 0000 \end{array}$$

2) Признак 1

$$\begin{array}{r} + 0001 \\ + 0010 \\ \hline 0011 \end{array}$$

3) Признак 2

$$\begin{array}{r} + 0110 \\ + 1011 \\ \hline 10001 \end{array}$$

переполнение

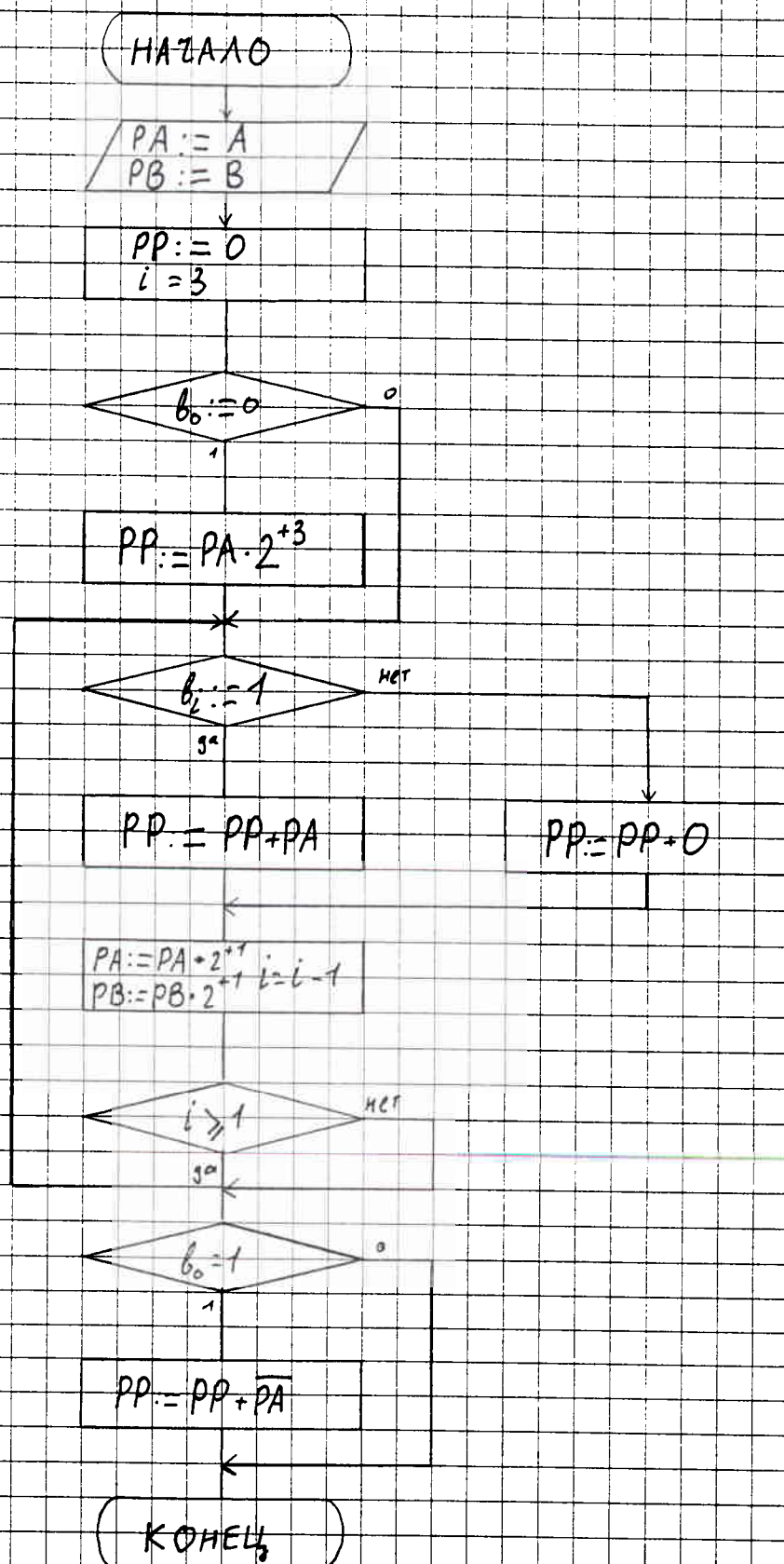
4) Признак 3

$$\begin{array}{r} + 0110 \\ + 1010 \\ \hline 10000 \end{array}$$

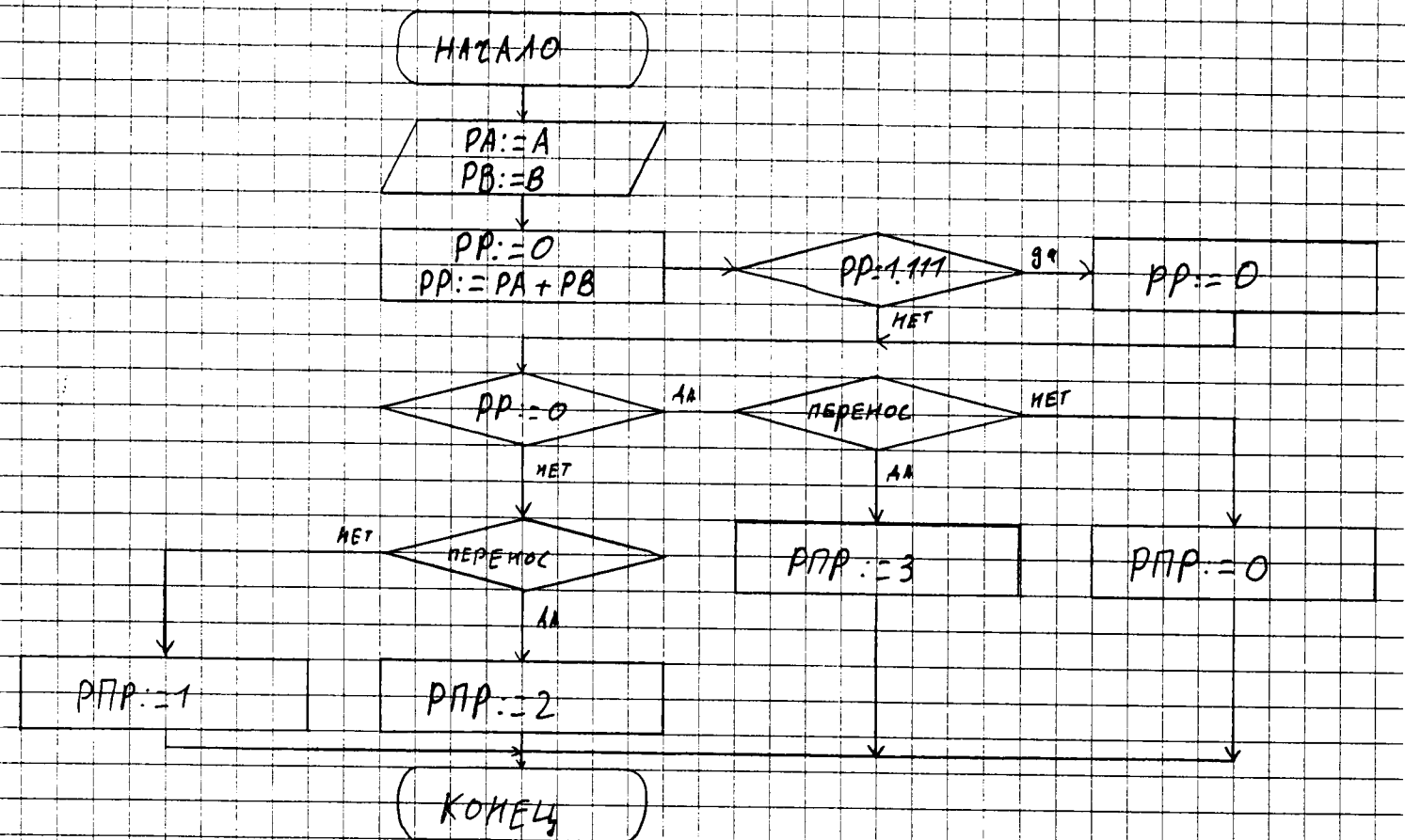
переполнение (не хватает регистров)

1.2. Схемы алгоритмов операций

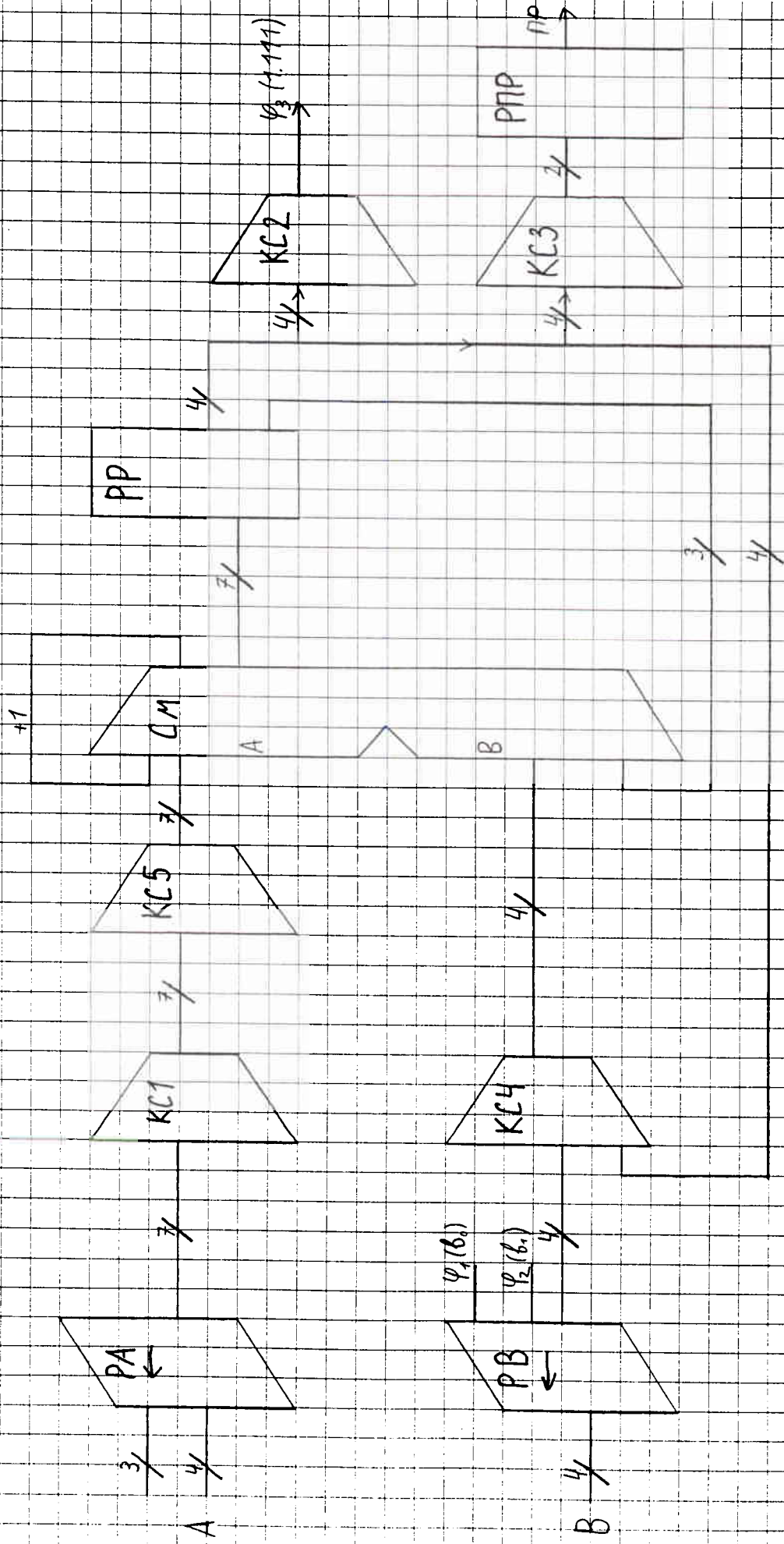
1.2.1. Умножение.



1.2.2. Положительное приращение кода



1.3. Функциональная схема блока операций



1.4. Описание блоков функциональной схемы.

РА (регистр операнда А): разрядность регистра - 7
хранение
параллельный приём
арифметический сдвиг влево на 1 разряд

РВ (регистр операнда В): разрядность регистра - 4
хранение
параллельный приём
арифметический сдвиг влево на 1 разряд

РР (регистр результата): разрядность регистра - 7
хранение
параллельный приём
установка в ноль

РПР (регистр признака результата)
разрядность регистра - 2
хранение
параллельная загрузка

СМ (сумматор): разрядность СМ - 7

КС1 (комбинационная схема 1): разрядность КС - 7
формирование PA, Φ, \overline{PA}

КС2 (комбинационная схема 2): разрядность КС - 1
формирование Φ_3 признака 1111

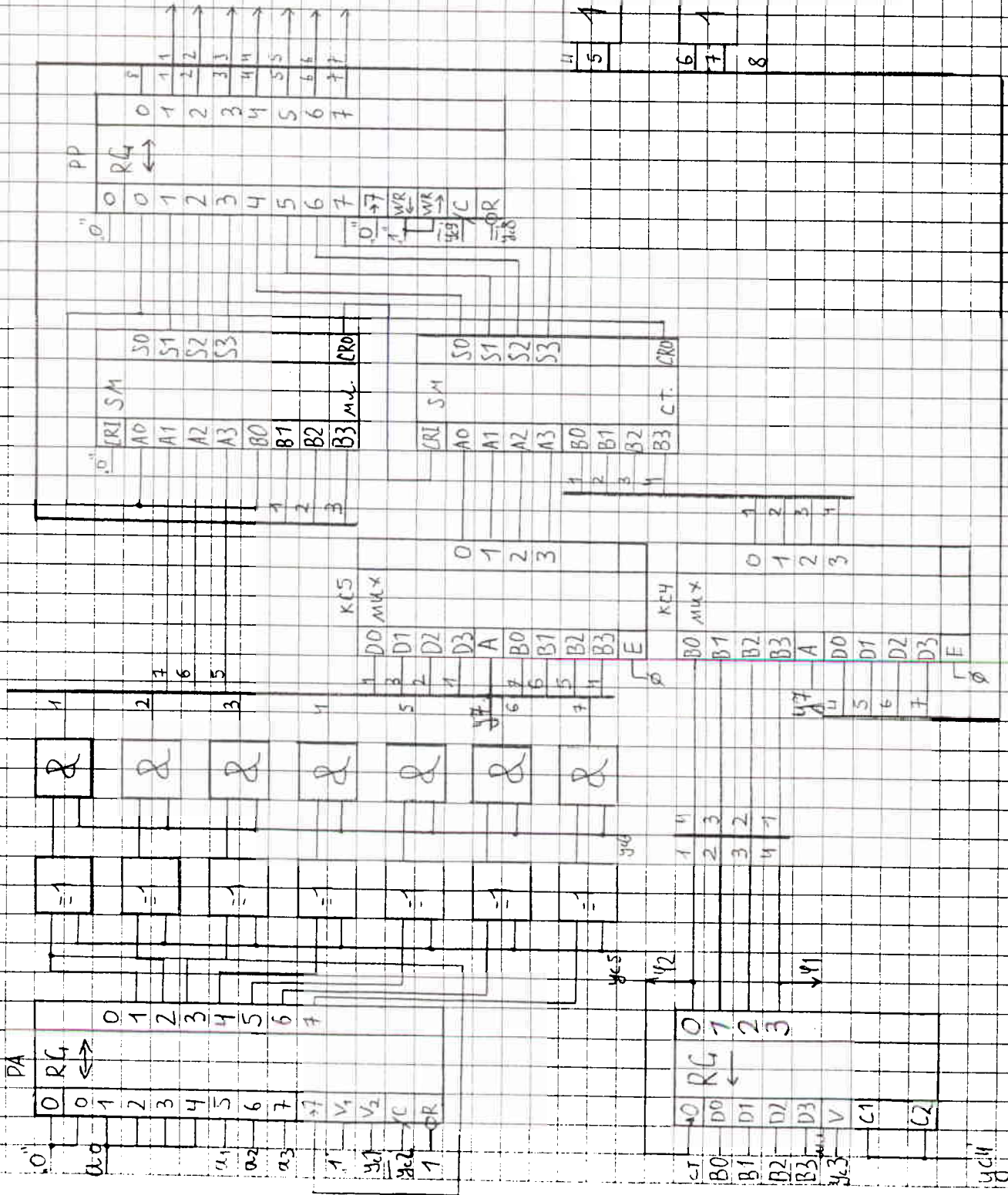
КС3 (комбинационная схема 3): разрядность КС - 4
формирование признака результата
0, 1, 2, 3

КСЧ (комбинаторная
схема 4)

разрядность КС - 7

передача либо РВ, либо РР

1.6 Принципиальная схема блока операции.



17. Таблица управляющих сигналов и сигналов состояния.

y_1	управление РА	$y_1 = 0'' \Rightarrow \text{сдвиг } t \rightarrow 0$ $= 1' \Rightarrow \text{запись}$
$\overline{y_2'}$	синхровход РА	$\overline{y_2'} = 1 \Rightarrow \text{хранение}$
y_3	управление РВ	$y_3 = 0'' \Rightarrow \text{сдвиг}$ $= 1' \Rightarrow \text{приём}$
y_4'	синхровход РВ	$y_4' = 0'' \Rightarrow \text{хранение}$
y_5	управление КС1	$y_5 = x, y_6 = 0 \Rightarrow \text{передача } 0''$
y_6		$y_5 = 0, y_6 = 1 \Rightarrow \text{передача РА}$ $y_5 = 1, y_6 = 1 \Rightarrow \text{передача } \overline{РА}$
y_7	управление КС 4/5	$y_7 = 0$ передача РВ/РА с 1 разр. $= 1$ передача РР/РА с макс. Р.
$\overline{y_8'}$	установка РР в 0	$\overline{y_8'} = 0 \Rightarrow \text{установка в } 0''$
$\overline{y_9'}$	синхровход РР	$\overline{y_9'} = 0 \Rightarrow \text{запись}$ $= 1 \Rightarrow \text{хранение}$
y_{10}'	синхровход РПР	$y_{10}' = 0 \Rightarrow \text{хранение}$ $= 1 \Rightarrow \text{запись}$